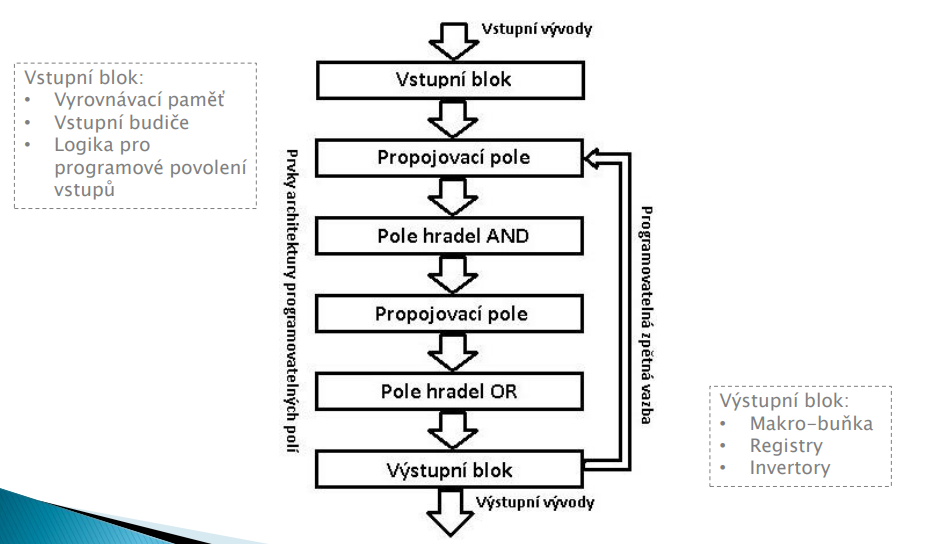
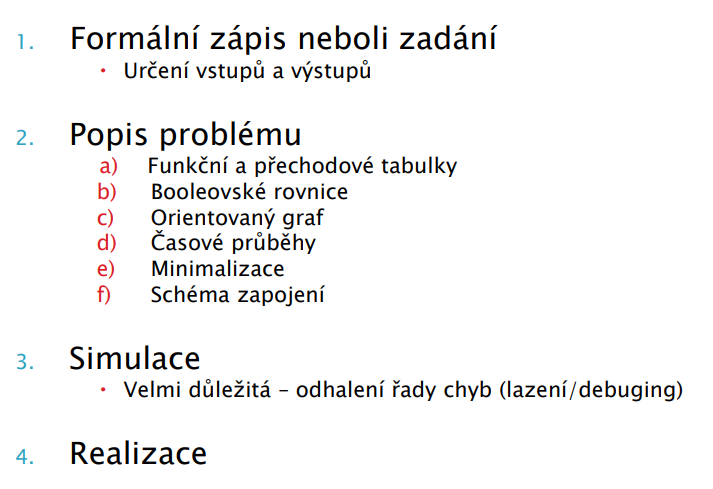
**Programovatelné logické obvody (PLD)**



* Číslicové obvody, které lze konfigurací naprogramovat
* Programování probíhá vytvářením nebo přerušováním propojek, případně zápisem do paměťových buněk
* Nahrazují kombinační a sekvenční logické obvody sestaveny z obvodů střední inteligence
  + Hradla, čítače, registry, …
* Prostředek pro návrh/realizaci kombinačních. a sekvenčních obvodů
  + Díky vývojovým prostředkům, které lze pro práci s nimi použít, umožňují podstatným způsobem usnadnit práci vývojáře/návrháře
* Jakákoliv logická funkce, jakékoliv logické rovnice, lze vyjádřit pomocí součtu součinů booleovských proměnných
  + Disjunktivní forma
  + Implementace formou vhodného zapojení hradel
* Výhody:
  + Zpřehlednění a snížení počtu pinů
  + Zvýšení spolehlivosti
  + Snadná modifikace
  + Velmi výkonné
* Nevýhody:
  + Nutná znalost programovacího jazyka pro PLD
  + Při poruše (většinou) nutno vyměnit jako celek
  + Cena
* Rozdělení:
  + A) SPLD – simplex PLD
    - Malý počet makrobuněk, jednodušší
    - PAL, PLA
  + B) CPLD – complex PLD
    - Na 1 čipu je obsaženo několik SPLD obvodů vzájemně propojených
    - Makrobuňky od desítek do stovek
  + C) FPGA – field programable gate array
    - Složité
    - Neobsahujou makrobuňky, ale tzv. logické bloky
* *Programovatelné hradlové pole* 
  + *Číslicový obvod, který má na čipu určité množství elementárních logických prvků, umístěných do maticové struktury*
* *Prvky lze vzájemně propojit pomocí konfigurovatelné propojovací sítě* 
  + *Požadovaná funkce*
* *Několik desítek vertikal. a horizontal. vodičů* 
  + *Konfigurace pomocí programovatelných propojek v místě křížení vodičů*
* Výrobci: Xilinx, Lattice, Altera (Intel)
* Programovací jazyk: ABEL HDL, VHDL, Verilog

Metodika návrhu PLD



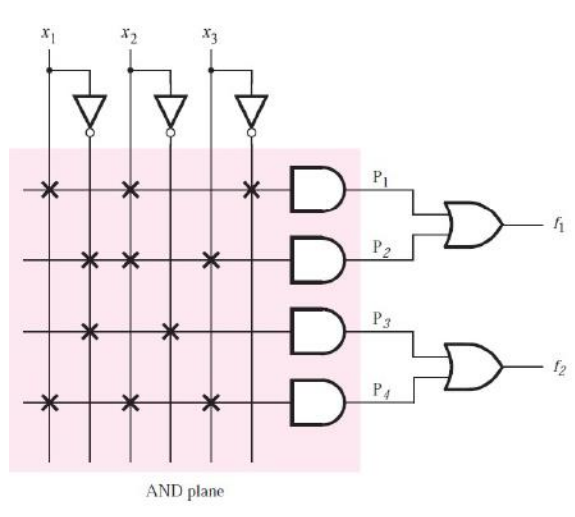
PLD Kompilátor

* Vývojové systémy/prostředí umožní definovat návrh číslicového obvodu bez ohledu na konkrétní typ PLD, jež bude nakonec použit
  + Zápis programu ve vyšším programovacím jazyce
* Převádí definice log. funkcí do implementačního prostředí konkrétního PLD
* Dříve výstupem soubor .jedec dnes .bit
  + Programuje se do konkrétního PLD (přes LPT, USB)
* Transformace zápisu včetně minimalizace
  + Zjednodušení návrhu
  + Doplněno optimalizací pro konkrétní PLD
  + Minimalizace vstupů, výstupů, vnitřních termů a makro-buňek

**Popis dílčích PLD obvodů**

SPLD

Typ PAL

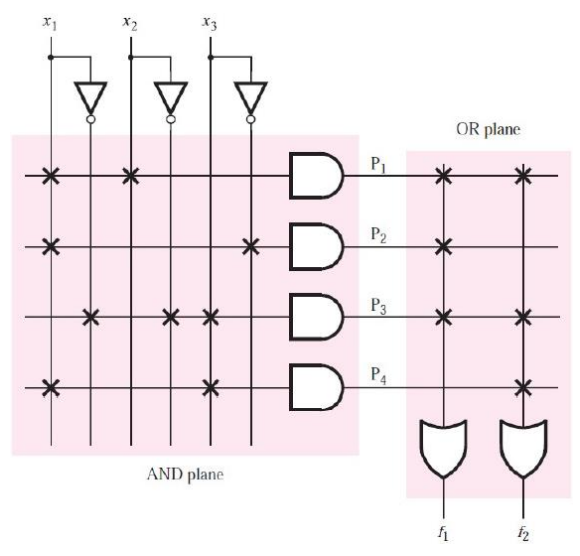


F1= (x1\*x2\*x3)P1+(x1\*x2\*x3)P2

F2= (x1\*x2) P3+(x1\*x2\*x3)P4

Podtržení = negace || P1,P2,P3,P4 nejsou mocniny, ale označení výstupu

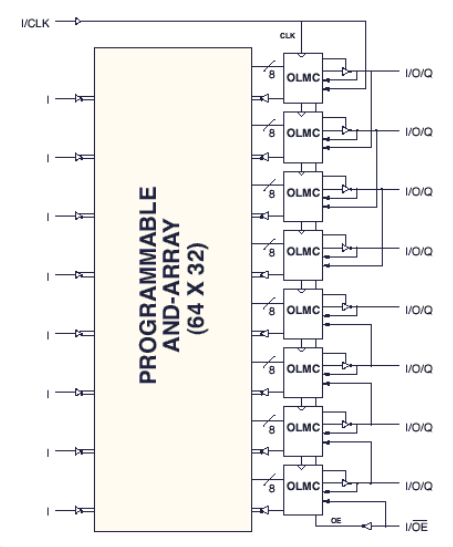
Typ PLA



F1=(x1\*x2)P1+(x1\*x3)P2+(x1\*x2\*x3)P3

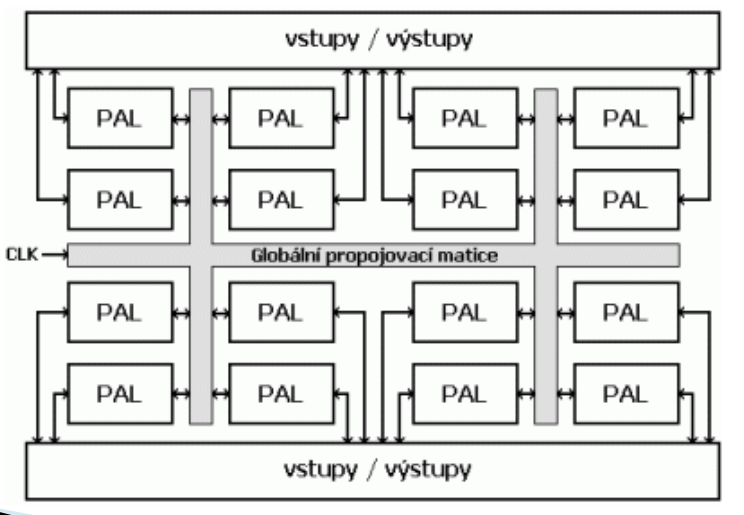
F2=(x1\*x2)P1+(x1\*x2\*x3)P3+(x1\*x3)P4

Typ SPLD - GAL

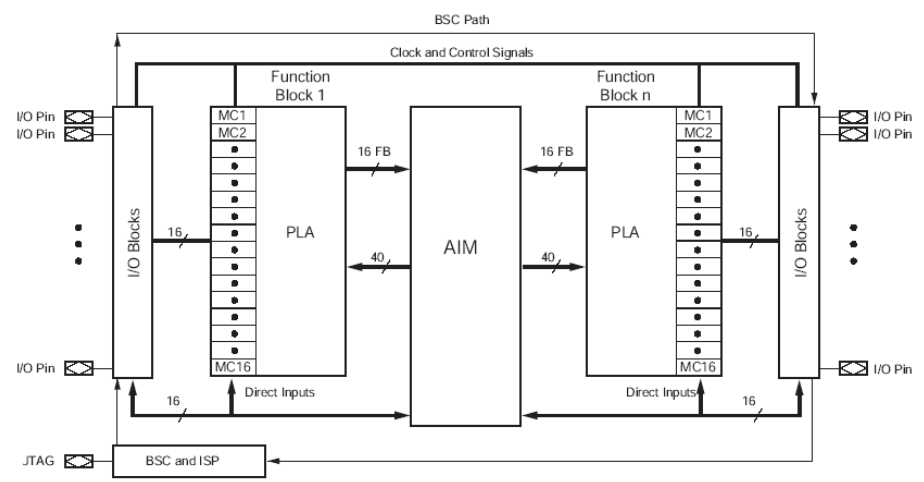


Typ CPLD

* Komplexnější než SPLD
* Větší množství logiky na jednom čipu
  + Několik obvodů patřících do SPLD
  + Propojeny pomocí globální propojovací matice
* Počet makro-buněk řádově v 10ky až 100ky
  + SPLD v řádu jednotek
* Většina pinů je univerzálních (vstupní, výstupní, obousměrné)
  + Pár speciálních (CLK, programování, …)
* Je možno na nich simulovat jak kombinační tak sekvenční obvody, většina z nich obsahuje interní paměť typu eeprom pro uložení simulace obvodů
* Výrobci: altera, xilinx, latix



CPLD – Coolrunner 2

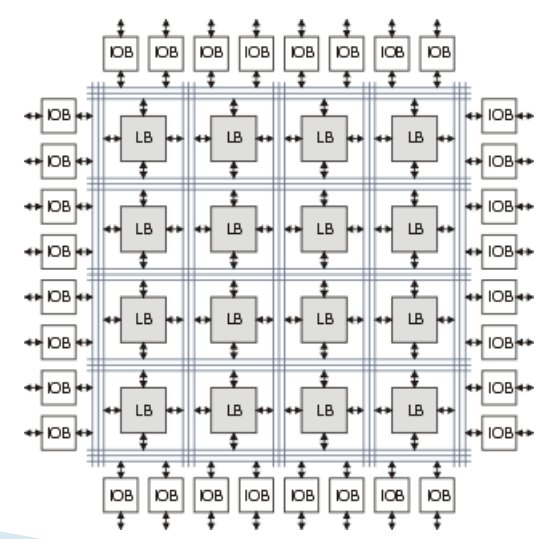


* AIM – globální propojovací matice
* Architektura pro CoolRunner 2 – označení xc2c256
* 256/16 = počet funkčních bloků 16

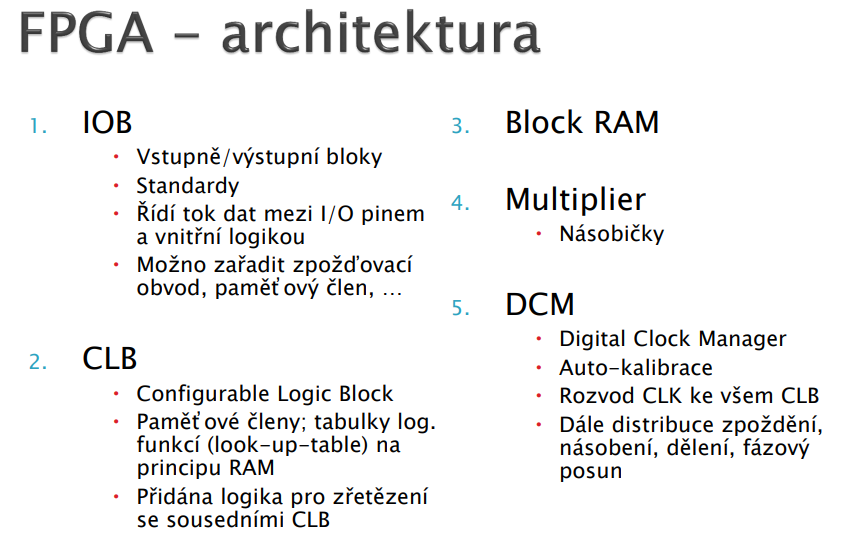
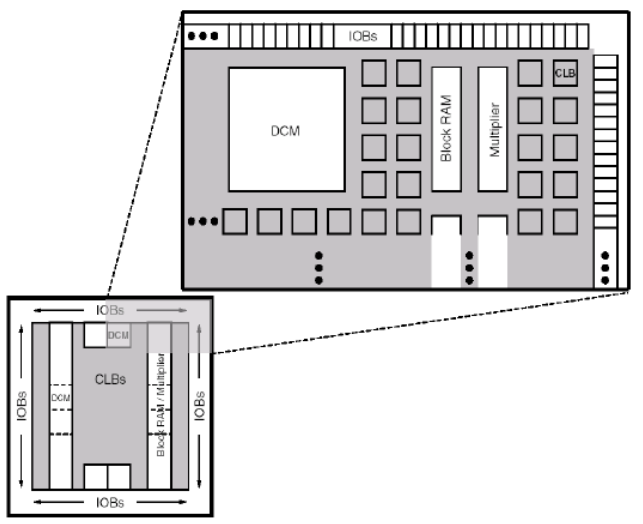
FPGA

IOB – Vstupně výstupní blok

LB – logický blok

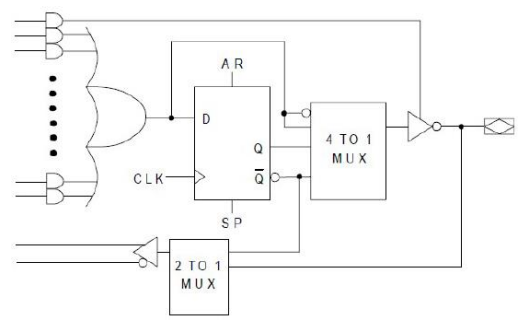


* Nejsložitější, ale zároveň nejobecnější PLD
* Místo makro-buňek obsahují logické bloky a až miliony ekvivaletních dvouvrstvých hradel AND (6mil SPARTAN)
  + Samotná programovatelná logika
* IOB přísluší každému IO pinu a mohou obsahovat registr, budič, multiplexer a ochranné obvody
* Jednotlivé LO jsou propojeny GIM/AIM
  + Signály sousedních LO mohou být propojeny přímo
    - Rychlejší, realizace např. čítaček, násobiček
* Většina FPGA obsahuje také paměť
  + Synchronous Static Random Access Memory (SSRAM)
* Také mohou obsahovat speciální bloky
  + HW násobičky; PLL, DLL (práce s CLK)
* Využití externí EEPROM
  + Automatické přečtení po zapnutí -> SSRAM
* *Pro svou konfiguraci využívají integrovanou pamět RAM -> ta je energeticky závislá -> po každém zapnutí je nutné nakonfigurovat, proto se využívá externí eeprom, když se zapne překopíruje se obsah eeprom do RAMky*

****Makrobuňka**

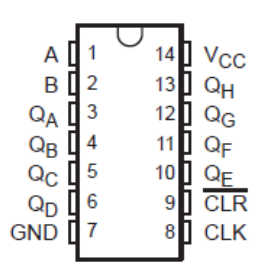
* Output Logic Macro Cell
* Z její pomocí lze vytvářet
  + SLO
    - Moore vs. Mealy,
  + kombinační obvody
  + registry a čítače
* Základní částí je D klopný obvod
  + Doplněný o pomocná hradla
  + Bez D klopného pouze jako klopný obvod
* Podoba makrobuňky se v každém obvůdku liší

Makrobuňka SPLD GAL 22V10

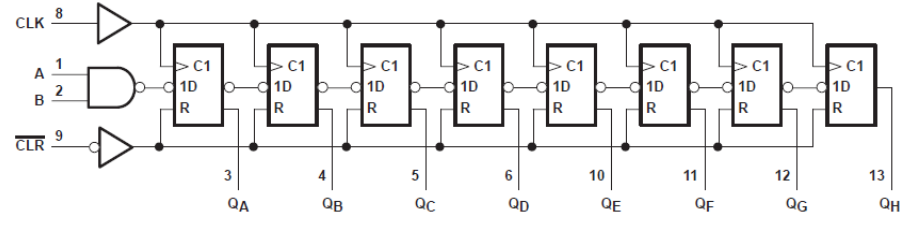
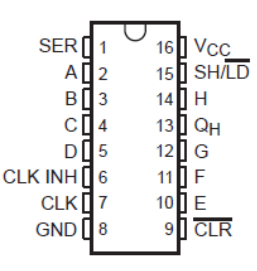


**Neprogramovatelné logické obvody**

* Funkce pevně dána již při výrobě
  + Nelze nijak upravit
* HW řešení
  + V podobě integrovaných obvodů
* Nejrůznější použití
  + Posuvné registry
  + Záchytné registry
  + Posilovače sběrnice
  + Komparátory
  + Čítače, …

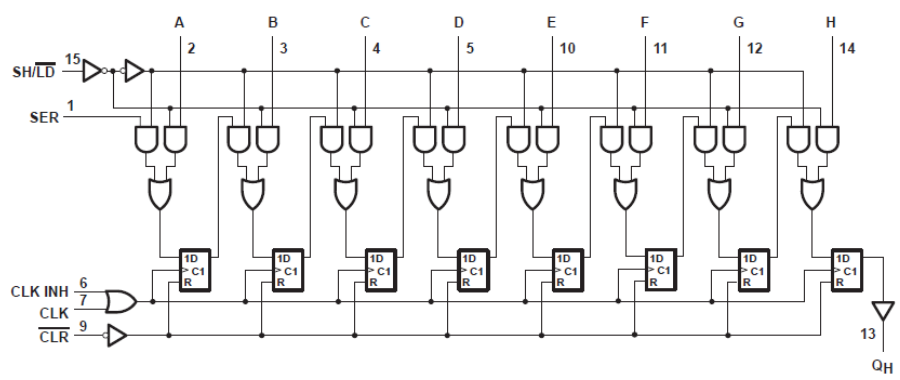
74164

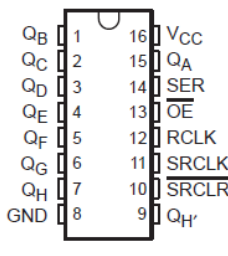
* Posuvný registr
* Registr = používá se k uchování nebo posuvu informace
  + Sestavují se např z klopných obvodů
* 8bit
* Použití:
  + Převod sériové informace na paralelní
  + Např. u vysílací jednotky
  + Rozšíření počtu výstupů u uP



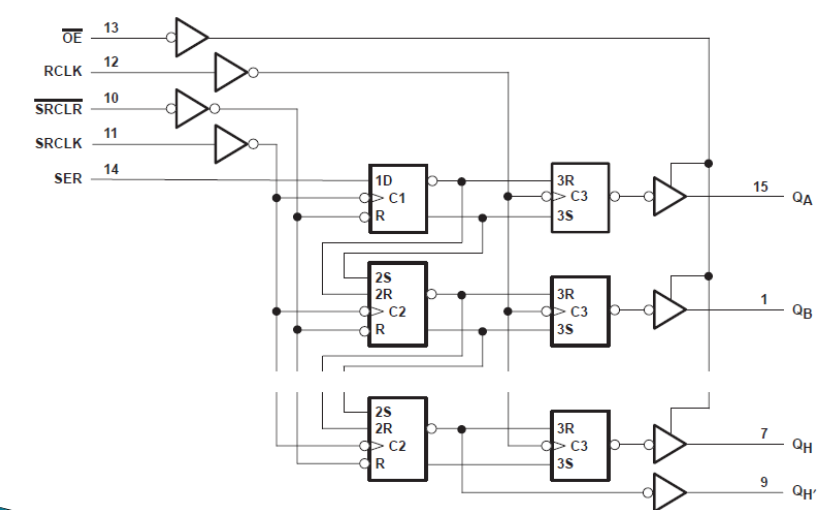
74166

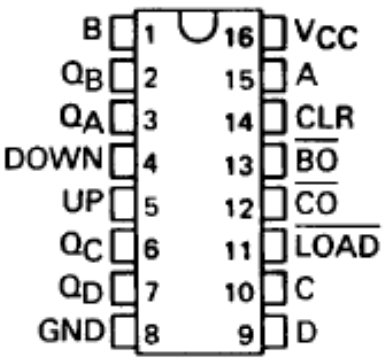
* Posuvný registr
* 8bit
* Použití
  + Převod paralelní informace na sériovou
    - Např. u přijímací jednotky
  + Rozšíření počtu vstupů u uP



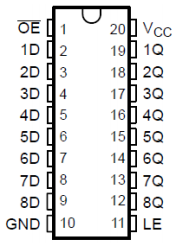
74595

* Posuvný registr
* 8bit
* 3 stavový výstup
* Použití:
  + Převod paralelní informace na sériovou
    - Např. u přijímací jednotky
  + Světelné tabule
  + Rozšíření počtu výstupů u uP

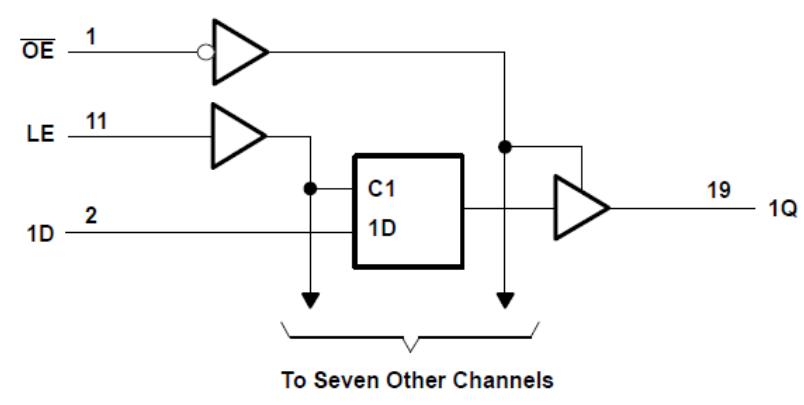


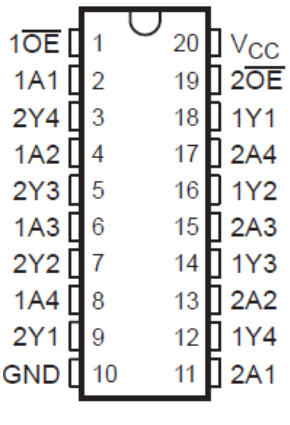
74193

* Obousměrný čítač
* 4bit
* Kaskádní zapojení
  + 8 bit a více
* Přednastavení vstupu
* Použití:
  + Čítač událostí / odpočet
  + Pořadník

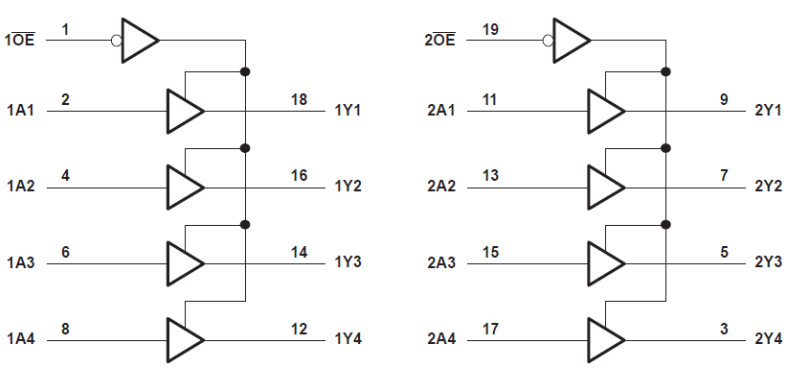
74573/373

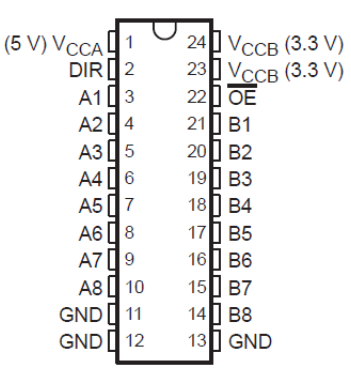
* Záchytný registr
* 8bit střadač
  + Latch Register
* 3 stavový výstup
* Použití:
  + Rychlé zachytávání informací na sběrnici
  + Rozšíření uP o vnější paměť



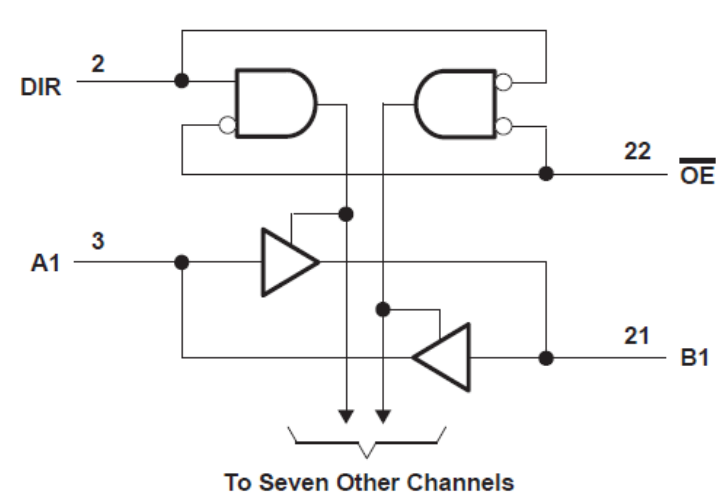
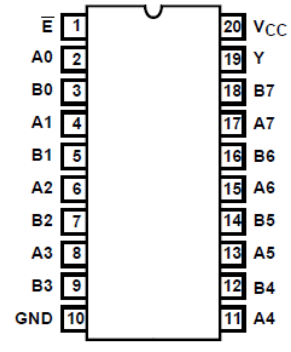
74244

* Posilovač sběrnice
* 2x 4bit
  + Jednosměrný budič
* Vstup 3,3 nebo 5 V
  + Výstup 5V
* 3 stavový výstup
  + Oddělený
* Použití:
  + Vysílače pro sběrnici
  + Možno spínat náročnější součástky

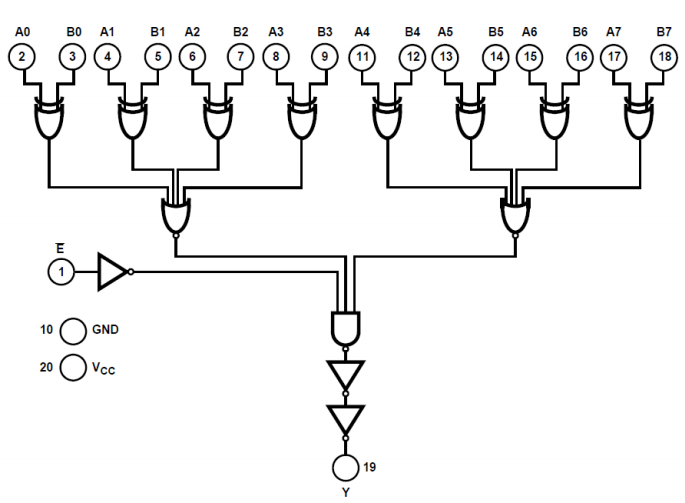


74245

* Posilovač sběrnice
* 2x 8bit
  + Oboustranný budič
* Vstup 3,3 nebo 5 V
  + Výstup podle směru 3,3 nebo 5V
* 3 stavový výstup
* Použití
  + Vysílače pro sběrnici
  + Možno spínat náročnější součástky



74688

* Komparátor
* 2x 8bit
* 3 stavový výstup
* Použití:
  + Porovnání 2 8bit slov
  + Jako adresní dekodér
  + Jeden vstup pevně dán